



①⑨ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 101 26 860 A 1**

⑤① Int. Cl.⁷:
H 01 L 51/20
H 01 L 51/40

②① Aktenzeichen: 101 26 860.2
②② Anmeldetag: 1. 6. 2001
④③ Offenlegungstag: 12. 12. 2002

DE 101 26 860 A 1

⑦① Anmelder:
Siemens AG, 80333 München, DE

⑦② Erfinder:
Bernds, Adolf, 91083 Baiersdorf, DE; Fix, Walter, Dr.,
90762 Fürth, DE

⑤⑥ Entgegenhaltungen:
US 58 92 244
G. H. Gelinck et al.: "High-performance all-poly-
mer circuits" in "Applied Physics Letters",
77(2000)10, pp. 1487-1489;
C. J. Drury et al.: "Low-cost all polymer inte-
grated circuits" in "Applied Physics Letters",
73(1998)1, pp. 108-110;
H. Klauk et al.: "A reduced complexity process for
organic thin film transistors" in "Applied Physics
Letters", 76(2000)13, pp. 1692-1694;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Organischer Feldeffekt-Transistor, Verfahren zu seiner Herstellung und Verwendung zum Aufbau integrierter Schaltungen

⑤⑦ Die Erfindung betrifft ein OFET, bei dem Gate- sowie Source- und Drain-Elektroden in der Isolatorschicht eingebettet sind. Die Strukturierung der Isolatorschicht erfolgt durch eine Prägetechnik, wodurch hochaufgelöste leitfähige Strukturen ausgebildet werden können und der OFET eine hohe Leistungsfähigkeit aufweist.

DE 101 26 860 A 1

[0001] Die Erfindung betrifft einen organischen Feldeffekt-Transistor (OFET), ein Verfahren zu dessen Herstellung sowie die Verwendung dieses OFETs zum Aufbau integrierter Schaltungen.

[0002] Feldeffekt-Transistoren (OFETs) spielen auf allen Gebieten der Elektronik eine zentrale Rolle. Bei ihrer Herstellung müssen mehrere organischen Schichten übereinander strukturiert werden. Das ist mit herkömmlicher Photolithographie, welche eigentlich zur Strukturierung von anorganischen Materialien dient, nur sehr eingeschränkt möglich. Die bei der Photolithographie üblichen Arbeitsschritte greifen bzw. lösen die organischen Schichten an und machen diese somit unbrauchbar. Das geschieht beispielsweise beim Aufschleudern, beim Entwickeln und beim Ablösen eines Photolackes.

[0003] Ein wesentlicher Faktor für die Güte eines OFETs und damit einer daraus aufgebauten integrierten Schaltung ist jedoch die Unversehrtheit und Stabilität der einzelnen Funktionsschichten und für die Leistungsfähigkeit ist insbesondere eine hohe Auflösung bzw. Feinheit der Source- und Drain-Elektroden wesentlich.

[0004] Zur Ausbildung feinsten strukturierter Funktionsschichten auf einem Substrat wurde bereits eine Prägetechnik vorgeschlagen, bei der in einer Schicht mit einem entsprechend oberflächenstrukturierten Stempel Vertiefungen eingeprägt und konserviert werden. Diese Vertiefungen werden dann mit dem Material der nachfolgenden Funktionsschicht aufgefüllt. Ein solches Verfahren und damit erzeugte OFETs sind in der deutschen Patentanmeldung DE 100 61 297.0 der Anmelderin beschrieben. Hier werden die Vertiefungen jedoch in einer zusätzlichen Schicht erzeugt.

[0005] Aufgabe der Erfindung ist es, einen vereinfachten, kompakten Aufbau für ein OFET anzugeben, der dessen Herstellung im Massenherstellungsmaßstab kostengünstig erlaubt. Dabei soll gleichzeitig die Leistungsfähigkeit und Stabilität des OFETs gewährleistet bleiben.

[0006] Gegenstand der vorliegenden Erfindung ist ein organischer Feldeffekt-Transistor, welcher

- eine Gate-Elektrode
- eine Isolatorschicht
- eine Halbleiterschicht

in dieser Reihenfolge auf einem Substrat umfasst, wobei in der Isolatorschicht die Source- und Drain-Elektroden sowie die Gate-Elektrode eingebettet sind.

[0007] Vorteil des erfindungsgemäß gestalteten OFETs ist, dass der Transistoraufbau wesentlich vereinfacht, die Qualität des Isolators verbessert und der Halbleiter als oberste Schicht ermöglicht wird. Letzteres ist insbesondere von Vorteil, da die Halbleitermaterialien bzw. -schichten die empfindlichsten Komponenten in einem solchen System sind. Mit anderen Worten, die Halbleiterschicht wird keinen weiteren Prozessschritten mehr ausgesetzt. Im Vergleich zu herkömmlichen OFETs entfällt desweiteren eine ganze Schicht, was letztendlich den OFET im Vergleich zum Stand der Technik dünner macht. Vor allem wird ein Prozessschritt zur Erzeugung der zusätzlichen Schicht eingespart.

[0008] Die Isolatorschicht wird vorzugsweise aus einem selbsthärtenden oder einem UV- oder wärmehärtbaren Polymermaterial gebildet und mittels einer Prägetechnik für die Aufnahme der Source- und Drain-Elektrode(n) strukturiert. Dazu ist die gewünschte Strukturierung für die Anlage der Source- und Drain-Elektrode(n) als Positiv auf einem Prägestempel ausgebildet und wird damit in die ungehärtete Isola-

torschicht übertragen. Die Struktur wird durch Aushärten konserviert. Durch die erfindungsgemäß angewendete Prägetechnik in Verbindung mit der Aushärtung des Isolatormaterials lassen sich feinste, diskrete und permanente Spuren bzw. Vertiefungen für die Leiterbahnen bzw. Elektroden erzeugen.

[0009] Damit ist erfindungsgemäß auch gewährleistet, dass der Abstand **1** zwischen Source- und Drain-Elektrode kleiner als 20 µm, insbesondere kleiner 10 µm und vorzugsweise zwischen 2 bis 5 µm beträgt, was einer Höchstauflösung und damit höchster Leistungskapazität eines OFETs entspricht.

[0010] Die vorliegende Erfindung betrifft auch ein Verfahren zur Herstellung eines OFETs mit insbesondere Bottom-Gate-Struktur, bei dem man auf einem Substrat eine Gate-Elektrode aufbringt, darüber eine Isolatorschicht aus einem härtenden Material ausbildet, in der ungehärteten Isolatorschicht mittels eines Prägestempels die Struktur für die Source- und Drain-Elektrode(n) erzeugt und durch Aushärten des Isolatormaterials konserviert, die konservierte Struktur mit einem leitfähigen Material auffüllt und darüber die Halbleiterschicht ausbildet.

[0011] Wie gesagt, bestehen die Vorteile in einem vereinfachten Transistoraufbau. Es wird nur eine einzige Isolatorschicht verwendet, welche gleichzeitig Träger der Source- und Drain-Elektroden und Isolator ist. Demgegenüber sieht der normale Herstellungsprozess für jede der beiden Funktionen eine gesonderte Schicht vor. Die Einsparung einer ganzen Schicht bedeutet nicht nur Material-, sondern auch Kosteneinsparung.

[0012] Die Qualität des Isolators ist verbessert. Ein Grund dafür ist, dass die Isolatoroberfläche durch das Prägeverfahren geglättet wird und zwar dort, wo es für die Transistorfunktion am wichtigsten ist, nämlich an der Grenzfläche von Halbleiter und Isolator.

[0013] Auch ist der Isolator optimal für die Aufnahme des Halbleiters vorkonditioniert, da er aufgrund der Aushärtung nicht mehr vom Lösungsmittel des Halbleiters während dessen Auftrag angreifbar ist. Das bedeutet auch eine große Freiheit bei der Auswahl des Lösungsmittels, in dem der Halbleiter zum Auftragen und Ausbilden der Schicht gelöst werden kann.

[0014] Das (selbst)härtende Material für die Isolationschicht wird vorzugsweise aus Epoxiden und Acrylaten ausgewählt. Diese Materialien können so konditioniert werden bzw. sein, dass sie beispielsweise bereits unter der Einwirkung von Luftsauerstoff aushärten und/oder durch Einwirkung von UV-Licht und/oder Wärme. Diese Polymere lassen sich entweder aus der Lösung oder in Form flüssiger UV-Lacke auftragen, entweder durch Spin-Coaten oder Drucken, wodurch eine große Homogenität der Schicht gewährleistet werden kann.

[0015] Das leitfähige Material zur Ausbildung der Elektroden kann aus organischen leitfähigen Materialien und partikelgefüllten Polymeren ausgewählt werden. Leitfähige organische Materialien sind beispielsweise dotiertes Polyethylen oder dotiertes Polyanilin. Partikelgefüllte Polymere sind solche, welche leitfähige, meist anorganische Partikel in dichter Packung enthalten. Das Polymer selbst kann dann leitfähig oder nichtleitfähig sein. Die leitfähigen anorganischen Partikel sind beispielsweise Silber oder andere metallische Teilchen sowie Graphit oder Carbon Black.

[0016] Vorzugsweise wird man das leitfähige Material in die vorgegebene Strukturierung des Isolators einrakeln. Die Rakelmethode liefert den Vorteil, dass die Auswahl des leitfähigen Materials nahezu unbegrenzt ist, wobei eine gleichförmige Ausfüllung der Strukturierung gewährleistet wird.

[0017] Das erfindungsgemäße Verfahren kann auch so ausgestaltet werden, dass es kontinuierlich geführt wird, was einen höheren Produktionsauswurf gewährleistet.

[0018] Da es sich bei den erfindungsgemäß ausgestalteten OFETs um solche hoher Qualität und Leistungsfähigkeit handelt, eignen sie sich insbesondere zum Aufbau integrierter Schaltungen, welche auch all-organisch sein können.

[0019] Im Folgenden wird das erfindungsgemäße Verfahren und der Aufbau des erfindungsgemäßen OFETs anhand von schematischen Fig. 1 bis 6 näher erläutert.

[0020] Zunächst wird gemäß Fig. 1 auf einem Substrat 1, das beispielsweise eine dünne Glasfolie oder eine Polyethylen-, Polyimid- oder Polyterephthalatfolie sein kann, eine Gate-Elektrode 2 strukturiert. Die Gate-Elektrode 2 kann aus metallischem oder nicht-metallischem organischem Material bestehen. Unter den metallischen Leitern kann man an Kupfer, Aluminium, Gold oder Indium-Zinn-Oxid denken. Organische leitende Materialien sind dotiertes Polyanilin oder Polyethylen oder partikelgefüllte Polymere. Je nach Auswahl des leitenden Materiales erfolgt die Strukturierung der Gate-Elektrode entweder durch Aufdrucken oder lithographische Strukturierung.

[0021] Über der Gate-Elektrode 2 und auf dem Substrat 1 wird nun gemäß Fig. 2 die Isolatorschicht 3 aufgetragen. Dies kann durch Spin-Coaten oder Bedrucken erfolgen. Die Isolatorschicht 3 wird vorzugsweise aus einem UV-härtenden oder wärmehärtenden Material, wie Epoxid oder Acrylat, erzeugt.

[0022] Gemäß Fig. 3 wird in der nicht ausgehärteten Isolatorschicht 3 mittels eines Prägestempels 4, der die Struktur der Source- und Drain-Elektrode(n) in Positivform trägt, diese gewünschte Struktur eingepreßt. Die Isolatorschicht 3 wird dann aushärten gelassen oder mittels Einwirkung von UV-Licht oder Wärme ausgehärtet und der Stempel 4 dann entfernt.

[0023] Wie aus Fig. 4 ersichtlich ist, ist die für die Source- und Drain-Elektroden vorgesehene Struktur in der Isolatorschicht 3' permanent und konturenscharf konserviert.

[0024] In die erzeugten Vertiefungen bzw. Spuren wird gemäß Fig. 5 nun das leitfähige Material 5 eingefüllt. Das geschieht aufgrund der oben angegebenen Vorteile vorzugsweise mit Hilfe einer Rakel. Dazu geeignete Materialien sind ebenfalls oben erwähnt.

[0025] Gemäß Fig. 6 wird nun noch die Halbleiterschicht, welche aus konjugierten Polymeren, wie Polythiophenen, Polythienylenen oder Polyfluorenderivaten aus einer Lösung verarbeitbar sind, aufgetragen. Das Auftragen kann hier durch Spin-Coaten, Rakeln oder Bedrucken erfolgen. Für den Aufbau der Halbleiterschicht eignen sich auch sogenannte "small molecules" d. h. Oligomere wie Sexithiophen oder Pentacen, die durch eine Vakuumtechnik auf das Substrat aufgedampft werden.

[0026] Aufgrund der Unempfindlichkeit der ausgehärteten Isolatorschicht können für das Auftragen der Halbleiterschicht die verschiedensten Lösungsmittel und damit die für das gesamte Herstellungsverfahren jeweils geeignetste Auftrags-technik ausgewählt werden.

[0027] Das vorgeschlagene Herstellungsverfahren ist für die großtechnische Anwendung geeignet. Es können gleichzeitig viele verschiedene OFETs in einem kontinuierlichen Verfahren bei durchlaufendem Band erzeugt werden.

in dieser Reihenfolge auf einem Substrat (1) umfasst, wobei in der Isolatorschicht (3') die Source- und Drain-Elektrode(n) eingebettet sind.

2. Organischer Feldeffekt-Transistor nach Anspruch 1, dadurch gekennzeichnet, dass die Isolatorschicht (3') aus einem UV- oder wärmehärtbaren Material gebildet ist.

3. Organischer Feldeffekt-Transistor nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Isolatorschicht (3') mittels einer Prägetechnik für die Aufnahme der Source- und Drain-Elektrode(n) strukturiert ist.

4. Organischer Feldeffekt-Transistor nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der Abstand 1 zwischen Source- und Drain-Elektrode kleiner 20 µm, insbesondere kleiner 10 µm und vorzugsweise zwischen 2 bis 5 µm beträgt.

5. Verfahren zur Herstellung eines OFETs mit Bottom-Gate-Struktur nach einem der Ansprüche 1 bis 4, bei dem man auf einem Substrat (1) eine Gate-Elektrode (2) aufbringt, darüber eine Isolatorschicht (3) aus einem härtenden Material ausbildet, in der ungehärteten Isolatorschicht (3) mittels eines Prägestempels (4) die Struktur für die Source- und Drain-Elektrode(n) erzeugt und durch Aushärten des Isolatormaterials konserviert, die konservierte Struktur mit einem leitfähigen Material auffüllt und darüber die Halbleiterschicht (6) ausbildet.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass man das härtende Material für die Isolatorschicht (3') aus Epoxiden und/oder Acrylaten auswählt.

7. Verfahren nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass man das leitfähige Material zur Ausbildung der Elektroden aus organischen leitfähigen Materialien und partikelgefüllten Polymeren auswählt.

8. Verfahren nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, dass man das leitfähige Material in die vorgegebene Strukturierung für den Isolator (3') einrakelt.

9. Verfahren nach einem der Ansprüche 5 bis 8, das als kontinuierliches Verfahren mit einem durchlaufenden Band durchgeführt wird.

10. Verwendung eines OFETs nach einem der Ansprüche 1 bis 4 oder 5 bis 9 beim Aufbau integrierter Schaltungen.

Hierzu 1 Seite(n) Zeichnungen

Patentansprüche

1. Organischer Feldeffekt-Transistor, welcher
 - eine Gate-Elektrode (2)
 - eine Isolatorschicht (3')
 - eine Halbleiterschicht (6)

Fig. 1

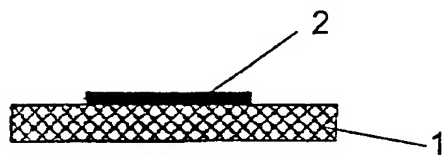


Fig. 2

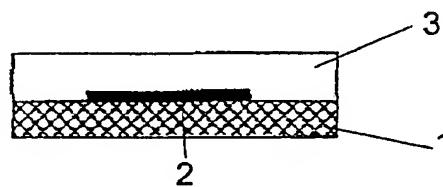


Fig. 3

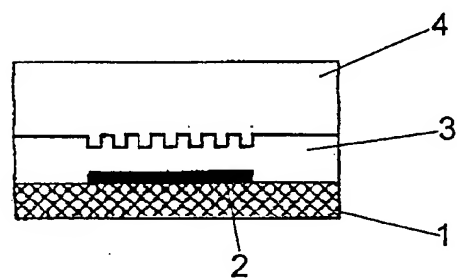


Fig. 4

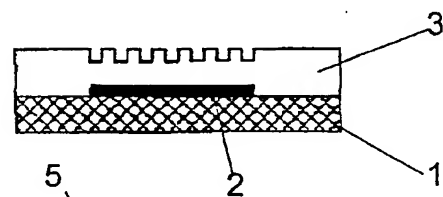


Fig. 5

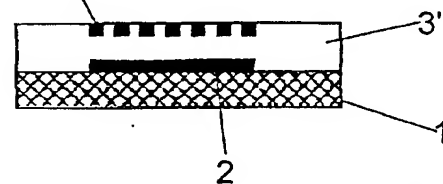
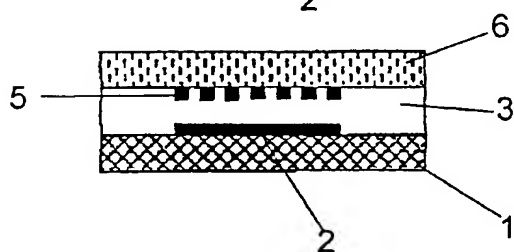


Fig. 6



DERWENT-ACC-NO: 2003-212006

DERWENT-WEEK: 200503

COPYRIGHT 2008 DERWENT INFORMATION LTD

TITLE: Organic field effect transistor used in the
production of integrated circuits comprises a
gate electrode, an insulating layer and a
semiconductor layer arranged on a substrate

INVENTOR: BERNDS A; FIX W

PATENT-ASSIGNEE: BERNDS A[BERNI] , FIX W[FIXWI] , SIEMENS
AG[SIEI]

PRIORITY-DATA: 2001DE-1026860 (June 1, 2001)

PATENT-FAMILY:

| PUB-NO | PUB-DATE | LANGUAGE |
|-------------------|-------------------|----------|
| DE 10126860 A1 | December 12, 2002 | DE |
| WO 02099907 A1 | December 12, 2002 | DE |
| DE 10126860 C2 | May 28, 2003 | DE |
| EP 1393387 A1 | March 3, 2004 | DE |
| US 20040262599 A1 | December 30, 2004 | EN |

DESIGNATED-STATES: JP US AT BE CH CY DE DK ES FI FR GB GR
IE IT LU MC NL PT SE TR AT BE CH CY DE
DK ES FI FR GB GR IE IT LI LU MC NL PT
SE TR

APPLICATION-DATA:

| PUB-NO | APPL-DESCRIPTOR | APPL-NO | APPL-DATE |
|-----------------|-----------------|----------------|-----------------|
| DE 10126860A1 | N/A | 2001DE-1026860 | June 1, 2001 |
| DE 10126860C2 | N/A | 2001DE-1026860 | June 1, 2001 |
| EP 1393387A1 | N/A | 2002EP-737855 | May 27, 2002 |
| WO2002099907A1 | N/A | 2002WO-DE01948 | May 27, 2002 |
| EP 1393387A1 | N/A | 2002WO-DE01948 | May 27, 2002 |
| US20040262599A1 | N/A | 2002WO-DE01948 | May 27, 2002 |
| US20040262599A1 | Based on | 2004US-479234 | August 17, 2004 |

ABSTRACTED-PUB-NO: DE 10126860 A1

BASIC-ABSTRACT:

NOVELTY - Organic field effect transistor comprises a gate electrode (2), an insulating layer (3') and a semiconductor layer (6) arranged on a substrate (1). Source and drain electrodes are embedded in the insulating layer.

DESCRIPTION - An INDEPENDENT CLAIM is also included for a process for the production of an organic field effect transistor.

USE - Used in the production of integrated circuits.

ADVANTAGE - The transistor has high stability.

DESCRIPTION OF DRAWING(S) - The drawing shows a cross-section through the organic field effect transistor.

Substrate (1)

Gate electrode (2)

Insulating layer (3')

Semiconductor layer (6)

EQUIVALENT-ABSTRACTS:

ELECTRONICS

Preferred Features: The insulating layer is made from a ultraviolet (UV) or heat hardenable material and is structured using an embossing technique for receiving the source and drain electrodes. The distance between the electrodes is less than 20, preferably less than 10, especially 2-5 μm . The hardenable material is made from epoxides and/or acrylates. The conducting material for producing the electrodes is made from organic conducting material and particle-filled polymers.

POLYMERS

The hardenable material is made from epoxides and/or acrylates. The conducting material for producing the electrodes may be made from particle-filled polymers.

CHOSEN-DRAWING: Dwg.6/6

TITLE-TERMS: ORGANIC FIELD EFFECT TRANSISTOR
PRODUCE INTEGRATE CIRCUIT COMPRISE
GATE ELECTRODE INSULATE LAYER
SEMICONDUCTOR ARRANGE SUBSTRATE

DERWENT-CLASS: A85 L03 U11 U12

CPI-CODES: A12-E04; A12-E07C; L04-E01A;

EPI-CODES: U11-C18A3; U12-B03C; U12-D02A;

ENHANCED-POLYMER-INDEXING: Polymer Index [1.1] 018 ;
P0464* R D01 D22 D42 F47;
M9999 M2073; K9869 K9847
K9790; K9836 K9790;

Polymer Index [1.2] 018 ;
G0260* R G0022 D01 D12 D10
D26 D51 D53; H0000;
H0011* R; M9999 M2073;
K9869 K9847 K9790; K9836
K9790; P0088;

Polymer Index [1.3] 018 ;
ND01; Q9999 Q7454 Q7330;
Q9999 Q7374* R Q7330;
B9999 B3270 B3190; ND07;
N9999 N7169 N7023; B9999
B5458 B5403 B5276;

Polymer Index [2.1] 018 ;
P0000; K9449;

Polymer Index [2.2] 018 ;
ND01; Q9999 Q7409 Q7330;
Q9999 Q7454 Q7330; K9449;

Polymer Index [2.3] 018 ;
A999 A237; S9999 S1456* R;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: 2003-054280

Non-CPI Secondary Accession Numbers: 2003-168914